

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11341791 A

(43) Date of publication of application: 10.12.99

(51) Int. Cl

H02M 3/155

(21) Application number: 10146321

(71) Applicant: SHARP CORP

(22) Date of filing: 27.05.98

(72) Inventor: IZUMI HIRONOBU

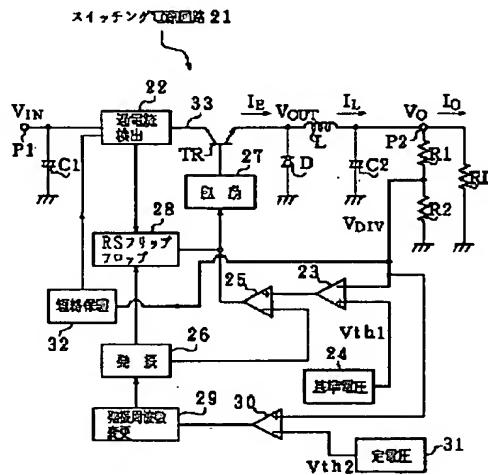
(54) SWITCHING POWER CIRCUIT, AND
SEMICONDUCTOR INTEGRATED CIRCUIT
MOUNTING THE SAME

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress short-circuit current in a step-down chopper type of switching power circuit, which makes a PWM signal where the duty is controlled by discriminating the levels of the rectangular waves from an oscillatory by a comparator, and switches a power transistor TR with this signal.

SOLUTION: When an output voltage V_o becomes lower than a first voltage, and an RS flip-flop circuit 28 shortens the width of the pulse to a power transistor TR, answering the detection result of an overcurrent detecting circuit 22, and when the output voltage V_o further becomes lower, an oscillating frequency changing circuit 29 lowers the switching frequency of a power transistor TR. When the output voltage V_o becomes further lower at the time of short circuit or the like, a short circuit protective circuit 32 lowers the level of the overcurrent detection of an overcurrent detecting circuit 22, and further shortens the width of the pulse of a PWM signal.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-341791

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.⁶

H 02 M 3/155

識別記号

F I

H 02 M 3/155

C

審査請求 未請求 請求項の数4 OL (全12頁)

(21) 出願番号

特願平10-146321

(22) 出願日

平成10年(1998)5月27日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 出水 啓修

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

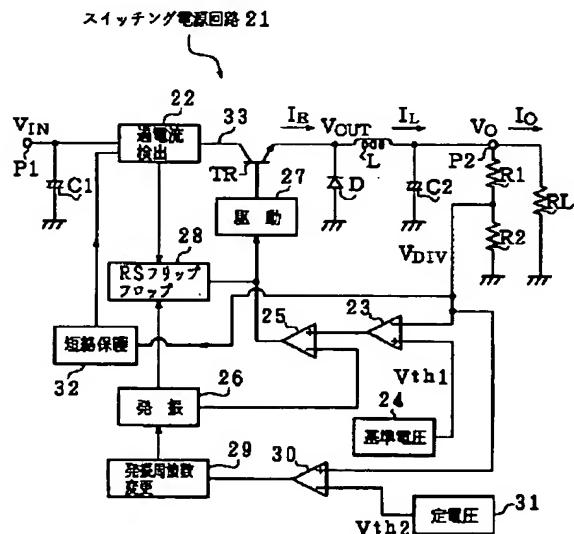
(74) 代理人 弁理士 原 錠三

(54) 【発明の名称】 スイッチング電源回路およびそれを実装する半導体集積回路

(57) 【要約】

【課題】 出力電圧 V_o の分圧値 $V_{o,iv}$ と基準電圧源 2 4 からの基準電圧 V_{th1} との差を差動アンプ 2 3 で取出し、その差動アンプ 2 3 の出力で、コンパレータ 2 5 によって、発振器 2 6 からの三角波をレベル弁別してデューティ制御された PWM 信号を作成し、該信号でパワートランジスタ TR をスイッチングさせる降圧チョッパ型のスイッチング電源回路 2 1 において、短絡電流を抑制する。

【解決手段】 出力電圧 V_o が第 1 の電圧以下となると過電流検出回路 2 2 の検出結果に応答して RS フリップフロップ回路 2 8 がパワートランジスタ TR へのパルス幅を短くし、さらに出力電圧 V_o が低くなると発振周波数変更回路 2 9 がパワートランジスタ TR のスイッチング周波数を低下する。短絡時などでさらに出力電圧 V_o が低くなると、短絡保護回路 3 2 は前記過電流検出回路 2 2 の過電流検出レベルを低下させ、PWM 信号のパルス幅をさらに短くする。



【特許請求の範囲】

【請求項1】スイッチング素子の導通による通過電流値が予め定める電流閾値となると前記スイッチング素子を遮断するスイッチングパルス幅制御によって所望とする出力電圧を維持するとともに、電圧検出手段による出力電圧の予め定める第1の値以下の低下検出に応答して、発振周波数変更手段が前記スイッチング素子のスイッチング周波数を低下して、過電流保護を行うようにしたチョッパ型のスイッチング電源回路において、
前記電圧検出手段が前記第1の値よりも低い予め定める第2の値以下に出力電圧が低下したことを検出すると、前記電流閾値を低下させる短絡保護手段を含むことを特徴とするスイッチング電源回路。

【請求項2】前記発振周波数変更手段は、前記出力電圧が低下する程、大きい分周比で発振器からの発振信号を分周する分周手段であることを特徴とする請求項1記載のスイッチング電源回路。

【請求項3】前記発振周波数変更手段は、前記電圧検出手段によって前記第2の値よりも低い第3の値以下に出力電圧が低下したことが検出されると、発振器からの発振信号を分周する分周手段をさらに備えることを特徴とする請求項1記載のスイッチング電源回路。

【請求項4】前記請求項1～3のいずれかで示すスイッチング電源回路を実装することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、過負荷や出力短絡が生じたときに出力電流を制限する過電流保護機能を備えるスイッチング電源回路と、それを実装して成る半導体集積回路に関する。

【0002】

【従来の技術】図10は、前記過電流保護機能を有する典型的な従来技術のスイッチング電源回路1の電気的構成を示すブロック図である。このスイッチング電源回路1は、降圧チョッパ型であり、後述するコンデンサc1, c2、ダイオードdおよびコイル1を外付けとして、集積回路化されている。
*
$$D = t_{on} / (t_{on} + t_{off}) = (v_o / v_{in}) \times 100 [\%] \quad \cdots (1)$$

である。

【0007】前記コンバレータ5に関連してRSフリップフロップ回路8が設けられており、このRSフリップフロップ回路8は、後述するように過電流検出手段2による検出結果に応答し、過電流が検出されると、コンバレータ5から駆動回路7への前記PWM信号をローレベルに立ち下げ、過電流保護動作を行う。また、発振器6からはパワートランジスタtrのOFF時にリセット信号が出力され、前記過電流検出によってRSフリップフロップ回路8がセットされても、そのセット状態を解除し、次のON時に前記PWM信号によるパワートランジスタ

* 【0003】整流ブリッジ回路などからの、たとえば12[V]の入力電圧vinは、入力端子p1から入力され、平滑コンデンサc1で平滑化された後、過電流検出手段2を介してパワートランジスタtrに与えられる。このパワートランジスタtrが導通している期間には、該パワートランジスタtrのエミッタに現れた電圧voutによって、コイル1、コンデンサc2および負荷rlにエネルギーが供給される。パワートランジスタtrが遮断すると、コイル1に蓄積されていたエネルギーがダイオードdによって還流されて前記負荷rlに与えられる。

* 【0004】前記負荷rlが接続される出力端子p2からの出力電圧voは、分圧抵抗r1, r2によって分圧されて定電圧制御のために取込まれ、差動アンプ3の反転入力端に入力される。差動アンプ3の非反転入力端には基準電圧源4からの基準電圧vth1が与えられており、差動アンプ3は前記出力電圧voの分圧値vovと前記基準電圧vth1との差に対応した電圧を出力する。差動アンプ3からの出力電圧は、コンバレータ5に閾値電圧として入力され、該コンバレータ5では、発振器6から入力される三角波が前記差動アンプ3からの出力電圧でレベル弁別され、前記出力電圧が低くなる程広いパルス幅のPWM信号を駆動回路7に出力する。駆動回路7は、前記PWM信号に応答してパワートランジスタtrのゲートをON/OFF制御し、これによって前記出力電圧voが、前記基準電圧vth1および分圧抵抗r1, r2での分圧比によって決定される所望とする定電圧、たとえば5[V]に制御される。

* 【0005】上述のような定格電流値内の定常動作時には、PWM信号電圧およびパワートランジスタtrの出力電圧voutは、それぞれ図11(a)および図11(b)において破線で示すようになる。またこのとき、コイル1に流れる電流i1は、図11(c)において破線で示すようになっている。

* 【0006】ここで、パワートランジスタtrのデューティDは、該パワートランジスタtrのON時間とOFF時間とをそれぞれt_{on}, t_{off}とすると、

$$D = t_{on} / (t_{on} + t_{off}) = (v_o / v_{in}) \times 100 [\%] \quad \cdots (1)$$

40 trのON駆動を可能とする。

* 【0008】したがって、負荷rlが重くなると、前記電流i1が図11(c)において実線で示すように増大し、定格電流値付近に設定される過電流検出手段2による過電流検出レベルic1、たとえば2[A]を超えると、RSフリップフロップ回路8にセット信号が出力され、該RSフリップフロップ回路8はそのセット端子が図11(d)に示すようにローレベルに変化してセットされる。RSフリップフロップ回路8は、セット端子電圧が一旦ローレベルとなるとラッチがかかり、出力をローレベルに保持する。このときリセット端子電圧は、図

11 (e) で示すようにハイレベルのままとなる。

【0009】これによって、コンバレータ5から出力される前記PWM信号がハイレベルであるにも拘わらず、駆動回路7への入力は、図11(a)において実線で示すようにローレベルにリセットされてパルス幅が狭められてしまい、パワートランジスタtrの導通期間も、図11(b)において実線で示すように狭められてしまう。このようにして、前記過電流時には前記デューティDが低下されて、前記過電流保護動作が実現される。

【0010】前記発振器6からの三角波のレベルが最小値となると、RSフリップフロップ回路8はリセットされて、図11(e)で示すようにリセット端子電圧がローレベルとなるとともに、図11(d)で示すようにセット端子電圧がハイレベルとなり、次のONタイミングでのパワートランジスタtrのON駆動が可能とされる。

【0011】図12は、上述のように構成されるスイッチング電源回路1の出力特性を示すグラフである。出力電流値が0から、前記過電流検出レベルicl、たとえば前記2[A]の点aまでは、出力電圧v。が5[V]の一定値のままで、前記デューティDの増加によって出力*

$$\Delta i = \{ - (v_{in} - v.) / m \}$$

となり、この変化分 Δi だけ、コイル電流iLは前記過電流検出レベルiclを超えててしまう。

【0014】したがって、この変化分 Δi が、平均電流、すなわち出力電流iLを増大させてしまうことになる。このときの出力特性は、短絡状態(v。=0

〔V〕)に近くなる程、エミッタ電流iEが増大し、前記図12に示すように、絶対最大定格値iMAX、たとえば2.5[A]を超えてしまい、垂下特性とならなくなる。このように上記のスイッチング電源回路1では、スイッチング周波数が高くなる程過電流保護機能が確実に動作しなくなるという問題がある。このような問題を解決することができる他の従来技術として、本件出願人は先に特開平7-46828号を提案した。それによるスイッチング電源回路1を図13に示す。

【0015】このスイッチング電源回路1において、前述のスイッチング電源回路1に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。このスイッチング電源回路1では、発振器6の発振周波数は、発振周波数変更回路12からの出力に応答して、たとえば100[kHz]から20[kHz]に低下可能に構成されている。前記発振周波数の低下は、コンバレータ13が、前記出力電圧v。の分圧値vDIVと、定電圧源14からの基準電圧vTH2とを比較し、前記分圧値vDIVが基準電圧vTH2より低くなると発振周波数変更回路12へローレベルの出力を導出し、これに応答して該発振周波数変更回路12が、発振器6内の三角波を発生させるための定電流源の電流値を低下するなどして実現される。

*電流iLの増加が可能となっている。これに対して、前記点aからは、前記過電流抑制動作によって出力電圧v。が低下されて、出力電流iLが抑制される。

【0012】しかしながら、上述のようなスイッチング電源回路1では、小型化や軽量化などのためにスイッチング周波数を高くしてゆくと、たとえば50[kHz]以上で、前記過電流保護動作に不具合が生じる。すなわち、図11で示すように、過電流検出タイミングから実際にRSフリップフロップ8がセットされて前記PWM信号がローレベルに立ち下がるまでに時間td1を要し、また前記PWM信号がローレベルとなってからパワートランジスタtrがOFFするまでに時間td2を要し、これらの時間td1、td2の合計時間tdだけ、応答遅れが生じる。

【0013】前記遅延時間tdは、たとえば1[μsec]にも達し、上述のようにスイッチング周波数が高くなるとスイッチングパルス幅が短くされると、その影響を無視できなくなってしまう。たとえば、入力電圧vin=40[V]、出力電圧v。=5[V]、コイル1のインダクタンスm=200[μH]とすると、前記遅延時間tdの間にコイル電流iLの変化分 Δi は、

$$\Delta i = (v_{in} - v.) / m \times td = 0.175[A] \quad \dots (2)$$

【0016】前記基準電圧vTH2は、たとえば0.6[V]であり、これに対して分圧抵抗r1、r2の分圧値は、たとえば1/4である。したがって、図14で示すように、出力電流iLが2[A]までは前記デューティ制御によって出力電圧v。は定格電圧の5[V]を維持し、出力電流iLが増加し、出力電圧v。が前記基準電圧vTH2に対応した2.4[V]の点bより低下すると、発振周波数が前記100[kHz]から20[kHz]までの範囲で低下される。

【0017】このとき、前記PWM信号のデューティDは、前記式1から20[%]となっているので、スイッチングパルス幅は2[μsec]から10[μsec]にまで拡大し、前記遅延時間tdの影響を1/5に軽減することができる。したがって、発振周波数の低下を開始する点bから終了する点cまでは、過電流検出レベルiclは、前記2[A]の正規の値となっている。

【0018】発振周波数が20[kHz]に固定される40点c以降では、負荷r1が重くなるとスイッチングパルス幅が短くなり、前記遅延時間tdの影響が大きくなつて出力電流iLが増大してゆく。しかしながら、短絡状態(v。=0[V])で2.2[A]であり、2.5[A]の前記絶対最大定格値iMAXを超えることはなく、確実な過電流保護動作を行うことができる。なお、図14において前記図12で示すスイッチング電源回路1の出力特性を破線で示す。

【0019】

【発明が解決しようとする課題】上述のような従来技術のスイッチング電源回路11では、出力の短絡時におい

ても、出力電流 i_o を絶対最大定格値 i_{max} 以下とすることができる。しかしながら、この絶対最大定格値 i_{max} は、過電流検出レベル i_{cl} よりもかなり大きく、パワートランジスタ t_r の素子面積に、前記過電流検出レベル i_{cl} 、すなわち定格電流値に対応した面積よりも、たとえば 50 [%] 程度の充分な余裕をみて、たとえば前記過電流検出レベル i_{cl} を 2 [A] とすると、素子面積は 3 [A] 分の面積とする必要があり、コストが嵩むという問題がある。

【0020】またこのため、前記スイッチング電源回路 11 は、前記過電流検出レベル i_{cl} が 2 [A] 程度の小容量のものであっても、面実装型の小型のパッケージには入らないという問題がある。さらにまた、定格電流値に比べて短絡時の出力電流値が大きく、発熱等の安全上の問題もある。

【0021】本発明の目的は、略短絡時における負荷電流の増大を確実に抑制することができるスイッチング電源回路およびそれを実装する半導体集積回路を提供することである。

【0022】

【課題を解決するための手段】請求項 1 の発明に係るスイッチング電源回路は、スイッチング素子の導通による通過電流値が予め定める電流閾値となると前記スイッチング素子を遮断するスイッチングパルス幅制御によって所望とする出力電圧を維持するとともに、電圧検出手段による出力電圧の予め定める第 1 の値以下の低下検出に応答して、発振周波数変更手段が前記スイッチング素子のスイッチング周波数を低下して、過電流保護を行うようにしたショッパ型のスイッチング電源回路において、前記電圧検出手段が前記第 1 の値よりも低い予め定める第 2 の値以下に出力電圧が低下したことを検出すると、前記電流閾値を低下させる短絡保護手段を含むことを特徴とする。

【0023】上記の構成によれば、定格電流値付近の予め定める電流閾値までは、負荷が重くなる程スイッチングパルス幅が大きくなるパルス幅制御によって、所望とする一定の電圧に出力電圧が維持され、負荷がさらに重くなつて出力電圧が前記第 1 の値以下に低下すると、まず発振周波数変更手段がスイッチング素子のスイッチング周波数を低下して過電流保護動作を行う。しかしながら、短絡などであらに出力電圧が低下し、第 2 の値以下となると、短絡保護手段が前記電流閾値を低下させ、スイッチング素子の ON 期間が短くなるように、すなわちパルス幅が短くなるように制御を行う。

【0024】したがつて、前記電流閾値に対する判定遅れ時間およびスイッチング素子の駆動遅れ時間の影響が大きくなるようなスイッチング周波数の高い構成であつても、負荷電流を確実に絶対最大定格値内に抑えることができる。これによつて、前記絶対最大定格値を定格電流値に近付けることができ、スイッチング素子の素子面

積を必要最小限とし、コストを抑えることができるとともに、小型パッケージに封入することができる。さらにまた、発熱等に対する安全上の負担も軽減することができる。

【0025】また、請求項 2 の発明に係るスイッチング電源回路では、前記発振周波数変更手段は、前記出力電圧が低下する程、大きい分周比で発振器からの発振信号を分周する分周手段であることを特徴とする。

【0026】上記の構成によれば、発振周波数変更手段 10 は、出力電圧が低下する程、たとえば $1/2$, $1/4$, … というように、大きい分周比で発振器からの発振信号を分周し、スイッチング周波数を低下させる。

【0027】したがつて、スイッチング周波数をデジタル的に変化するので、アナログ的に連続可変する構成に比べて、スイッチングノイズによる誤動作が少なく、該誤動作に対する余裕を小さくして、前記絶対最大定格値をさらに小さくすることができる。

【0028】さらにまた、請求項 3 の発明に係るスイッチング電源回路では、前記発振周波数変更手段は、前記電圧検出手段によって前記第 2 の値よりも低い第 3 の値以下に出力電圧が低下したことが検出されると、発振器からの発振信号を分周する分周手段をさらに備えることを特徴とする。

【0029】上記の構成によれば、発振周波数変更手段は、出力電圧の前記第 1 の値以下への低下に応答して、まずスイッチング周波数を緩やかに低下し、続いて第 2 の値以下となると、前述のように電流閾値を低下し、さらに第 3 の値以下への低下に応答して、スイッチング周波数を、所定の分周比、たとえば $1/2$, $1/4$ 等で分周して、一気に低下させる。

【0030】したがつて、出力短絡時の短絡電流値をさらに小さく抑えることができ、該スイッチング電源回路から電力供給される後段機器の異常に対して、該後段機器の被害を小さく抑えることができる。

【0031】また、請求項 4 の発明に係る半導体集積回路は、前記請求項 1～3 のいずれかで示すスイッチング電源回路を実装して構成されることを特徴とする。

【0032】前記請求項 1～3 で示すスイッチング電源回路は、素子面積を定格電流値に対応した面積近くまで小さくすることができ、上記の構成のように、集積回路化に好都合である。

【0033】

【発明の実施の形態】本発明の実施の第 1 の形態について、図 1～図 3 に基づいて説明すれば以下の通りである。

【0034】図 1 は、本発明の実施の第 1 の形態のスイッチング電源回路 21 の電気的構成を示すブロック図である。このスイッチング電源回路 21 は、たとえば 12 [V] の入力電圧 V_{in} を、5 [V] の一定の出力電圧 V_o で出力する降圧ショッパ型の電源回路であり、後述す

る平滑コンデンサC1、ダイオードD、コイルLおよびコンデンサC2を外付けとして、集積回路化されている。

【0035】整流ブリッジ回路などからの入力電圧V_{in}は、入力端子P1から入力され、平滑コンデンサC1で平滑化された後、過電流検出回路22を介してパワートランジスタTRに与えられる。このパワートランジスタTRが導通している期間には、該パワートランジスタTRのエミッタに現れた電圧V_{out}によって、コイルL、コンデンサC2および負荷RLにエネルギーが供給される。パワートランジスタTRが遮断すると、コイルLに蓄積されていたエネルギーがダイオードDによって還流されて前記負荷RLに与えられる。

【0036】前記負荷RLが接続される出力端子P2からの出力電圧V_oは、分圧抵抗R1、R2によって分圧されて定電圧制御のために取込まれ、差動アンプ23の反転入力端に入力される。差動アンプ23の非反転入力端には基準電圧源24からの基準電圧V_{t h 1}が与えられており、差動アンプ23は前記出力電圧V_oの分圧値V_{ov}と前記基準電圧V_{t h 1}との差に対応した電圧を出力する。差動アンプ23からの出力電圧は、コンバレータ25に閾値電圧として入力され、該コンバレータ25では、発振器26から入力される、たとえば100〔kHz〕の三角波が前記差動アンプ23からの出力電圧でレベル弁別され、前記出力電圧が低くなる程広いパルス幅のPWM信号を駆動回路27に出力する。駆動回路27は、前記PWM信号に応答してパワートランジスタTRのゲートをON/OFF制御し、これによって前記出力電圧V_oが、前記基準電圧V_{t h 1}および分圧抵抗R1、R2での分圧比によって決定される所望とする定電圧、たとえば前記5〔V〕に制御される。

【0037】前記コンバレータ25に関連してRSフリップフロップ回路28が設けられており、このRSフリップフロップ回路28は、後述するように過電流検出回路22の検出結果に応答し、過電流が検出されると、コンバレータ25から駆動回路27への前記PWM信号をローレベルに立ち下げ、過電流保護動作を行う。また、発振器26からはパワートランジスタTRのOFF時にリセット信号が出力され、前記過電流検出によってRSフリップフロップ回路28がセットされても、そのセット状態を解除し、次のON時に前記PWM信号によるパワートランジスタTRのON駆動を可能とする。

【0038】したがって、負荷RLが重くなり、過電流検出回路22による過電流検出レベルI_{cl}、たとえば2〔A〕を超えると、RSフリップフロップ回路28にセット信号が出力され、該RSフリップフロップ回路28はそのセット端子がローレベルに変化してセットされる。RSフリップフロップ回路28は、セット端子電圧が一旦ローレベルとなるとラッチがかかり、出力をローレベルに保持する。このときリセット端子電圧は、ハイ

レベルのままとなる。

【0039】これによって、コンバレータ25から出力される前記PWM信号がハイレベルであるにも拘わらず、駆動回路27への入力はローレベルにリセットされてパルス幅が狭められてしまい、パワートランジスタTRの導通期間も狭められてしまう。このようにして、前記過電流時にはパワートランジスタTRのデューティが低下され、過電流保護動作が実現される。

【0040】前記発振器26からの三角波のレベルが最小になると、RSフリップフロップ回路28はリセットされてリセット端子電圧がローレベルとなるとともに、セット端子電圧がハイレベルとなり、次のONタイミングでのパワートランジスタTRのON駆動が可能とされる。

【0041】また、前記発振器26の発振周波数は、発振周波数変更回路29からの出力に応答して、たとえば前記100〔kHz〕から20〔kHz〕に低下可能に構成されている。前記発振周波数の低下は、コンバレータ30が、前記出力電圧V_oの分圧値V_{ov}と、定電圧源31からの基準電圧V_{t h 2}とを比較し、前記分圧値V_{ov}が基準電圧V_{t h 2}より低くなると発振周波数変更回路29へローレベルの出力を導出し、これに応答して該発振周波数変更回路29が、発振器26内の三角波を発生させるための定電流源の電流値を低下するなどして実現される。

【0042】前記基準電圧V_{t h 2}は、たとえば0.6〔V〕であり、これに対して分圧抵抗R1、R2の分圧値は、たとえば1/4である。したがって、出力電流I_oが、定格電流値付近に設定される過電流検出レベルI_{cl}、たとえば2〔A〕までは前記デューティ制御によって出力電圧V_oは定格電圧の5〔V〕を維持し、出力電流I_oが増加し、出力電圧V_oが前記基準電圧V_{t h 2}に対応した第1の電圧である2.4〔V〕より低下すると、発振周波数が前記100〔kHz〕から20〔kHz〕までの範囲で低下される。このとき、前記過電流検出レベルI_{cl}は、前記2〔A〕の正規の値となっている。

【0043】注目すべきは、本発明では、さらに短絡保護回路32が設けられており、この短絡保護回路32は、前記分圧値V_{ov}が第2の電圧に対応した予め定める基準電圧V_{t h 3}以下となると、過電流検出回路22における電流閾値である前記過電流検出レベルI_{cl}を、たとえば2〔A〕から1.5〔A〕に低下させる。

【0044】図2は、上述のように構成されるスイッチング電源回路21の出力特性を示すグラフである。出力電流I_oが点Aで示す前記過電流検出レベルI_{cl}である2〔A〕までは、出力電圧V_oは5〔V〕の定格電圧が維持され、出力電流I_oが前記過電流検出レベルI_{cl}より大きくなると、過電流検出回路22の検出結果に応答して、RSフリップフロップ回路28は、前記コンバレ

ータ25から駆動回路27への前記PWM信号のパルス幅、すなわちデューティを小さくしてゆく。これによって、点A-B間で示すように、出力電圧V_oが低下しつつ、出力電流I_oの増加が抑制される。

【0045】こうして出力電圧V_oの分圧値V_{div}が前記基準電圧V_{t h 2}以下となると、発振周波数変更回路29は、発振器26の発振周波数を、100[kHz]から20[kHz]に徐々に低下させ、これによって点B-C間で示すように、出力電流I_oおよび出力電圧V_oがともに減少する。さらに出力電圧V_oの分圧値V_{div}が基準電圧V_{t h 3}以下となると、短絡保護回路32は前記過電流検出レベルI_{c1}を低下させ、点C-D間で示すように出力電流I_oおよび出力電圧V_oをともに減少させる。これによって、完全短絡時の短絡電流値I_sを1.9[A]に抑えることができ、前述の図13で示すスイッチング電源回路11の値である、2.2

【A】よりも小さく抑えることができる。なお、この図2において、前記スイッチング電源回路11の特性を破線で示す。

【0046】図3は、前記過電流検出回路22および短絡保護回路32と、それに関連する構成を詳細に示す電気回路図である。この図3において、前述の図1に対応する部分には同一の参照符号を付して、その説明を省略する。過電流検出回路22は、大略的に、検出抵抗R D*

$$\begin{aligned} I_1 &= (2.8 - 2 \times 0.65) / 5 \times 10^4 \\ &= (2.8 - 1.3) / 5 \times 10^4 = 30 \mu A \quad \cdots (3) \end{aligned}$$

となる。したがって、I₂=30[μA]、I₃=300[μA]となっている。

【0049】また、短絡保護回路32は、大略的に、トランジスタQ11～Q19と、定電流源F1、F2と、分圧抵抗R21、R22と、抵抗R23とを備えて構成されている。前記出力電圧V_oの分圧抵抗R1、R2による分圧値V_{div}は、一方の入力トランジスタQ11を介して、差動対を構成する一方のトランジスタQ12のベースに与えられる。前記差動対を構成する他方のトランジスタQ13のベースには、他方の入力トランジスタQ14を介して、前記電圧V_oが分圧抵抗R21、R22で分圧されて与えられる。前記分圧抵抗R21、R22の抵抗値は、それぞれ46.4[kΩ]および3.6[kΩ]に選ばれており、したがってトランジスタQ14のベース電位V_bは、0.2[V]となっている。トランジスタQ11、Q14のエミッタには、それぞれ定電流源F1、F2から、定電流I₁₁、I₁₂=10[μA]が与えられている。また前記差動対へは、前記トランジスタQ5とカレントミラー回路を構成するトランジスタQ15によって、前記電流I₁に等しい電流I₁₃が与えられている。前記差動対において、トランジスタQ12のエミッタ側には抵抗R23が介在されており、またこのトランジスタQ12のコレクタからの該差動対の出力は、トランジスタQ16によって取出され

*と、トランジスタQ1～Q6、Q10と、電流調整用の抵抗R11と、ブルアップ抵抗R12とを備えて構成されている。

【0047】前記入力端子P1からパワートランジスタTRのコレクタへの電源ライン33には、直列に検出抵抗RDが介在されている。この検出抵抗RDは、パワートランジスタTRを流れる電流I_{out}を電流/電圧変換して取出し、その検出結果は、トランジスタQ1、Q2から成るカレントミラー回路によって、接続点34から出力段のトランジスタQ10へ取出される。前記トランジスタQ1、Q2のコレクタはそれぞれトランジスタQ3、Q4を介して接地されており、これらのトランジスタQ3、Q4は、トランジスタQ5と抵抗R11とトランジスタQ6とから成る定電流回路によって規定される電流I₁に比例した電流I₂、I₃を、それぞれ対応する前記トランジスタQ1、Q2のコレクタから引抜いている。トランジスタQ6の素子面積に対して、トランジスタQ3、Q4の素子面積は、それぞれ1倍および10倍に形成されている。また、トランジスタQ5への電源電圧V_bは2.8[V]であり、電流調整用の抵抗R11の抵抗値は50[kΩ]に選ばれている。

【0048】したがって、トランジスタQ5、Q6の電圧降下V_{ce}を、たとえば0.65[V]とすると、電流I₁は、

$$I_1 = (2.8 - 0.65) / 5 \times 10^4 = 30 \mu A \quad \cdots (3)$$

る。トランジスタQ16はトランジスタQ17とカレントミラー回路を構成しており、その素子面積比は1:8とされる。こうしてトランジスタQ17で取出された前記差動対の出力は、カレントミラー回路Q18、Q19で折り返されて、電流I₁₄として前記トランジスタQ10のベースに与えられる。

【0050】したがって、定格電流値内の通常負荷時には、トランジスタQ2からのコレクタ電流I₄に対して、I₄<I₃で、トランジスタQ4のコレクタがほぼ接地電位となり、トランジスタQ10のベースへの電流I₅は流れない。またこのとき、前記分圧値V_{div}は、V_b/4=1.25[V]で安定しており、トランジスタQ11のベース電位がトランジスタQ14のベース電位V_bよりも高いので、トランジスタQ14、Q13が導通し、トランジスタQ11、Q12が遮断している。このため、トランジスタQ16～Q19も遮断し、トランジスタQ19からトランジスタQ10への電流I₁₄も0となる。したがって、トランジスタQ10は遮断し、前記RSフリップフロップ回路28のセット端子への出力端子P3は、ブルアップ抵抗R12によってハイインピーダンスに維持されている。

【0051】これに対して、負荷が重くなつてI₄>I₃となると、電流I₅が流れ、前記トランジスタQ10が導通し、前記出力端子P3がローレベルとなり、前記

11

過電流保護動作が実現される。

【0052】このとき、パワートランジスタTRを流れ*

$$\begin{aligned} I_{cl} &= V_T \ln 10 / RD \\ &= 60 [mV] / 15 [m\Omega] = 4 [A] \end{aligned}$$

で表される。

【0053】ただし、 $V_T = kT/q = 26 [mV]$ 、
kはボルツマン定数であり、Tは絶対温度であり、Qは
素電荷量である。

【0054】さらに負荷が重くなってゆくと、出力電圧
V_oの低下に伴って、分圧値V_{div}も低下してゆき、V_{div} < V_t となると、トランジスタQ11、Q12が導通するとともに、トランジスタQ16～Q19が導通し、トランジスタQ10へ電流I14が流れる。この電流I14が前記過電流検出回路22からの電流I5に加算されることになり、該電流I14がトランジスタQ10が早く過電流検出し、導通してしまう。これによって、過電流検出レベルI_{cl}は、前記分圧値V_{div}、すなわち出力電圧V_oが低くなる程小さくなつてゆき、前記図2において点C-D間で示すように短絡保護動作を行うことができる。

【0055】以上のように本発明に従うスイッチング電源回路21では、出力電圧V_oが定電圧源31で規定された基準電圧V_{th2}に対応した第1の電圧である2.4[V]以下となると、図2における点B-C間で示すようにスイッチング周波数を低下し、さらに基準電圧V_oに対応した第2の電圧である0.8(=0.2×4)[V]以下となると、図2において点C-D間で示すように過電流検出レベルI_{cl}を低下してゆくので、短絡電流値I_sを、1.9[A]と定格電流値の2[A]付近とすることができます。

【0056】これによって、パワートランジスタTRの素子面積を定格電流値に対応した面積に近付けることができ、素子面積を縮小して低コスト化および省スペース化を図ることができる。また、パワートランジスタTRの素子面積が小さくなると、面実装型などの安価な小型パッケージに封入することが可能となる。さらにまた、コイルLやショットキーダイオードDなどの外付け部品に、過電流検出レベルI_{cl}以上の大きい定格品を使用する必要が無くなり、該外付け部品のコストも縮小することができる。さらにまた、短絡電流値I_sの抑制によって発熱を抑えることができ、安全性を向上することもできる。

【0057】本発明の実施の第2の形態について、図4および図5に基づいて説明すれば以下の通りである。

【0058】図4は、本発明の実施の第2の形態のスイッチング電源回路41の電気的構成を示すブロック図である。このスイッチング電源回路41は、前述のスイッチング電源回路21に類似し、対応する部分には同一の参照符号を付してその説明を省略する。注目すべきはこのスイッチング電源回路41では、前記発振周波数変更

12
* る電流I_{out}を前記過電流検出レベルI_{cl}とすると、

… (4)

回路29に代えて、1/2分周器42が用いられることがある。この1/2分周器42は、発振器26とRSフリップフロップ回路28との間に介在されており、前記出力電圧V_oの分圧値V_{div}が基準電圧V_{th2}以下となると、発振器26からの発振信号を1/2分周する。

【0059】したがって、このスイッチング電源回路41の出力特性は、図5で示すように、出力電圧V_oが前記基準電圧V_{th2}に対応した2.4[V]以下となると、パワートランジスタTRのスイッチング周波数が1/2となり、点C-D間で示すように、出力電流I_sを一気に抑制する。したがって、スイッチング周波数を出力電圧V_oに対応してアナログ的に徐々に変化させてゆく前記発振周波数変更回路29に比べて、該1/2分周器42はデジタル的にスイッチング周波数を変化させるので、スイッチングノイズによる誤動作を抑制することができる。これによって、前記誤動作に対する余裕を小さくして、前記絶対最大定格値をさらに小さくすることができる。

【0060】本発明の実施の第3の形態について、図6および図7に基づいて説明すれば以下の通りである。

【0061】図6は、本発明の実施の第3の形態のスイッチング電源回路51の電気的構成を示すブロック図である。このスイッチング電源回路51は、前述のスイッチング電源回路41に類似し、対応する部分には同一の参照符号を付してその説明を省略する。このスイッチング電源回路51では、前記1/2分周器42に代えて、1/4分周器52が用いられている。したがって、その出力特性は、図7で示すように、出力電圧V_oが基準電圧V_{th2}に対応した2.4[V]以下となると、出力電流I_sが大きく減少し、これによって短絡電流値I_sを1.4[A]まで抑制することができる。

【0062】前記出力短絡時は、該スイッチング電源回路41から電力供給される後段回路が異常状態であるので、このように短絡電流値I_sをさらに抑制することによって、前記後段回路の被害を小さく抑えることができる。

【0063】本発明の実施の第4の形態について、図8および図9に基づいて説明すれば以下の通りである。

【0064】図8は、本発明の実施の第4の形態のスイッチング電源回路61の電気的構成を示すブロック図である。このスイッチング電源回路61は、前述のスイッチング電源回路21、41に類似しており、すなわち発振周波数変更回路29と、1/2分周器42とを併用している。

【0065】したがって、その出力特性は、図9で示すようになり、短絡電流値I_sを前記スイッチング電源回

13

路51と同様に1、4[A]まで抑制することができ、後段回路の被害を小さく抑えることができる。

【0066】

【発明の効果】請求項1の発明に係るスイッチング電源回路は、以上のように、定格電流値付近の予め定める電流閾値までは負荷が重くなる程スイッチングパルス幅が大きくなるパルス幅制御によって所望とする一定の電圧に出力電圧を維持し、負荷がさらに重くなつて出力電圧が前記第1の値以下に低下するとスイッチング周波数を低下して過電流保護動作を行うようにしたチョッパ型のスイッチング電源回路において、短絡などでさらに出力電圧が低下し、第2の値以下となると、短絡保護手段が前記電流閾値を低下させ、スイッチング素子のON期間が短くなるように、すなわちパルス幅が短くなるように制御を行う。

【0067】それゆえ、スイッチング周波数の高い構成であっても、負荷電流を確実に絶対最大定格値内に抑えることができ、前記絶対最大定格値を定格電流値に近付けることができ、スイッチング素子の素子面積を必要最小限とし、コストを抑えることができるとともに、小型パッケージに封入することができる。さらにまた、発熱等に対する安全上の負担も軽減することができる。

【0068】また、請求項2の発明に係るスイッチング電源回路は、以上のように、前記発振周波数変更手段を、出力電圧が低下する程大きい分周比で発振器からの発振信号を分周する分周手段とする。

【0069】それゆえ、スイッチング周波数をデジタル的に変化するので、アナログ的に連続可変する構成に比べて、スイッチングノイズによる誤動作が少なく、該誤動作に対する余裕を小さくして、前記絶対最大定格値をさらに小さくすることができる。

【0070】さらにまた、請求項3の発明に係るスイッチング電源回路は、以上のように、出力電圧の前記第1の値以下への低下に応答して、まずスイッチング周波数を緩やかに低下し、続いて第2の値以下となると、前述のように電流閾値を低下し、さらに第3の値以下への低下に応答して、スイッチング周波数を、所定の分周比で分周して、一気に低下させる。

【0071】それゆえ、出力短絡時の短絡電流値をさらに小さく抑えることができ、該スイッチング電源回路から電力供給される後段機器の異常に対して、該後段機器の被害を小さく抑えることができる。

【0072】また、請求項4の発明に係る半導体集積回路は、以上のように、前記請求項1～3で示すスイッチング電源回路を実装して構成される。

【0073】それゆえ、素子面積を定格電流値に対応した面積近くまで小さくすることができるので、上記の構成のように、集積回路化に好都合である。

【図面の簡単な説明】

【図1】本発明の実施の第1の形態のスイッチング電源

14

回路の電気的構成を示すブロック図である。

【図2】図1で示すスイッチング電源回路の出力特性を示すグラフである。

【図3】図1で示すスイッチング電源回路における過電流検出回路と短絡保護回路との具体的構成を説明するための電気回路図である。

【図4】本発明の実施の第2の形態のスイッチング電源回路の電気的構成を示すブロック図である。

【図5】図4で示すスイッチング電源回路の出力特性を示すグラフである。

【図6】本発明の実施の第3の形態のスイッチング電源回路の電気的構成を示すブロック図である。

【図7】図6で示すスイッチング電源回路の出力特性を示すグラフである。

【図8】本発明の実施の第4の形態のスイッチング電源回路の電気的構成を示すブロック図である。

【図9】図8で示すスイッチング電源回路の出力特性を示すグラフである。

【図10】典型的な従来技術のスイッチング電源回路の電気的構成を示すブロック図である。

【図11】図10で示すスイッチング電源回路の動作を説明するための波形図である。

【図12】図10で示すスイッチング電源回路の出力特性を示すグラフである。

【図13】他の従来技術のスイッチング電源回路の電気的構成を示すブロック図である。

【図14】図13で示すスイッチング電源回路の出力特性を示すグラフである。

【符号の説明】

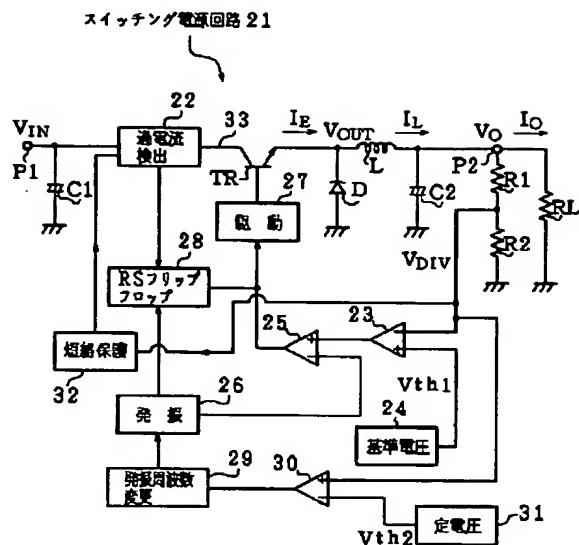
- | | | |
|----|--------|----------------|
| 30 | 21 | スイッチング電源回路 |
| | 22 | 過電流検出回路 |
| | 23 | 差動アンプ |
| | 24 | 基準電圧源 |
| | 25 | コンバレータ |
| | 26 | 発振器 |
| | 27 | 駆動回路 |
| | 28 | R S フリップフロップ回路 |
| | 29 | 発振周波数変更回路 |
| 40 | 30 | 差動アンプ |
| | 31 | 定電圧源 |
| | 32 | 短絡保護回路 |
| | 41 | スイッチング電源回路 |
| | 42 | 1/2 分周器 |
| | 51 | スイッチング電源回路 |
| | 52 | 1/4 分周器 |
| | 61 | スイッチング電源回路 |
| | C1 | 平滑コンデンサ |
| | C2 | コンデンサ |
| | D | ダイオード |
| 50 | F1, F2 | 定電流源 |

L コイル
R1, R2 分圧抵抗
R21, R22 分圧抵抗
RD 検出抵抗

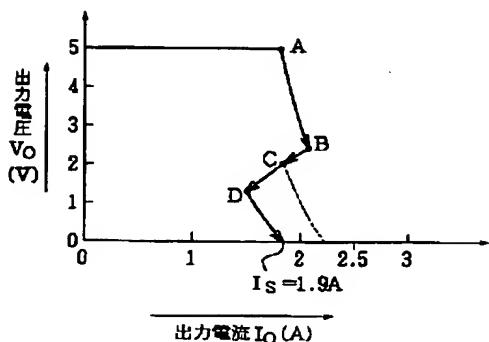
*

* RL 負荷
Q1~Q6, Q10~Q19 トランジスタ
TR パワートランジスタ
*

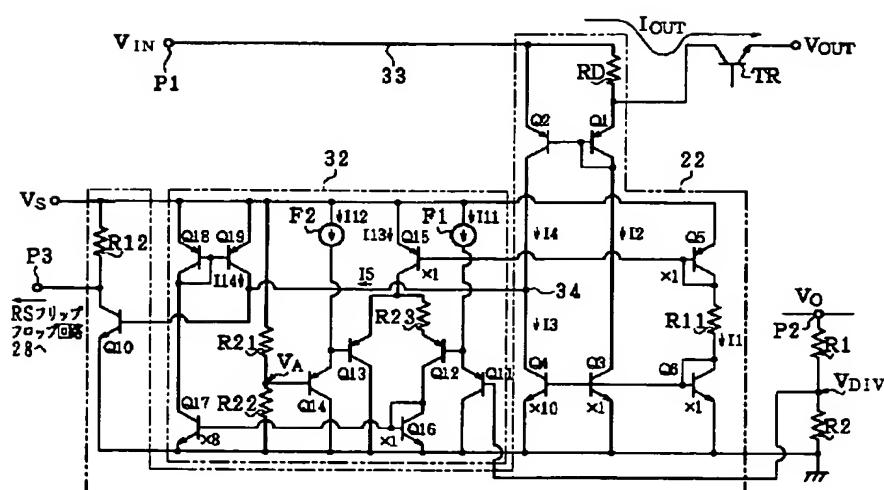
【図1】



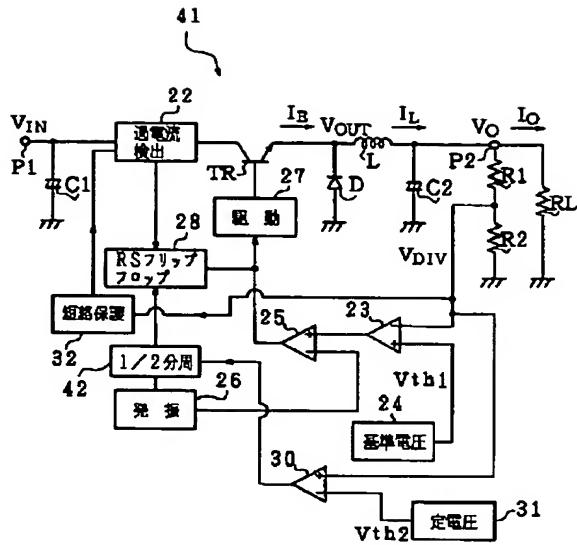
【図2】



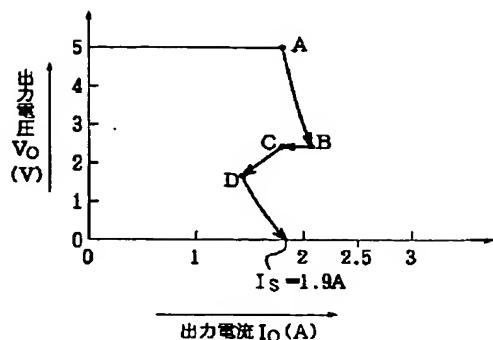
【図3】



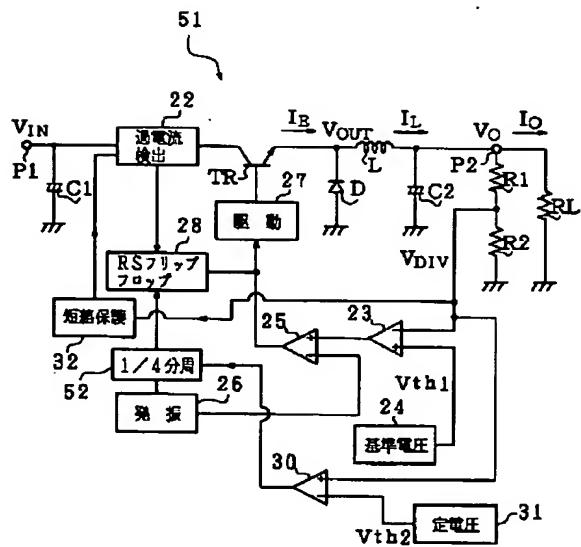
【図4】



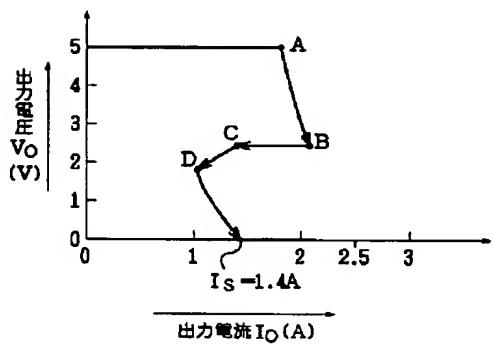
【図5】



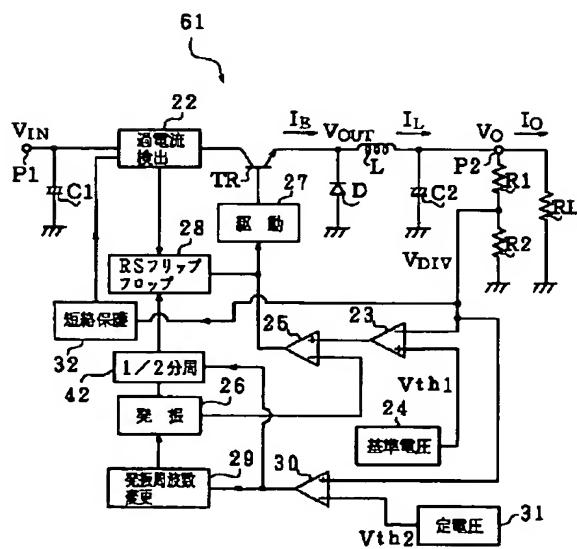
【図6】



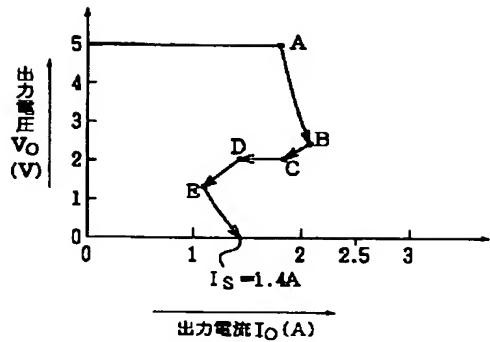
【図7】



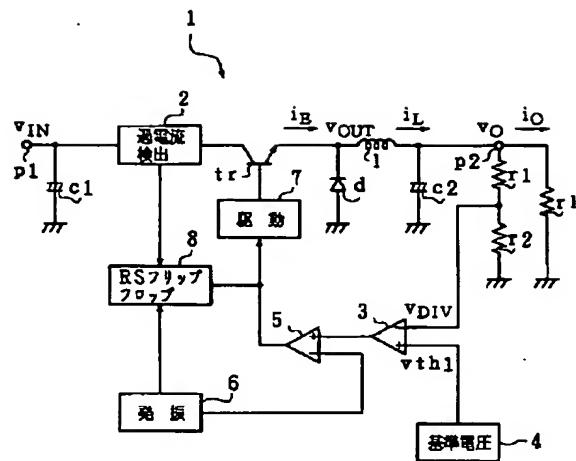
【図8】



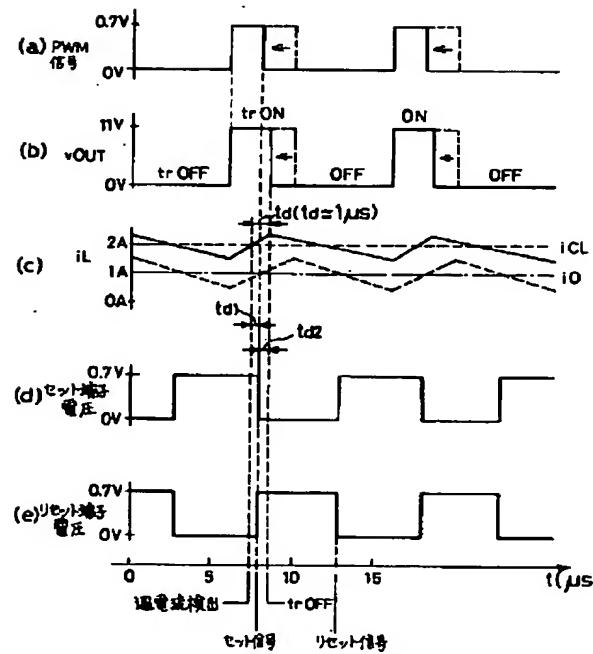
【図9】



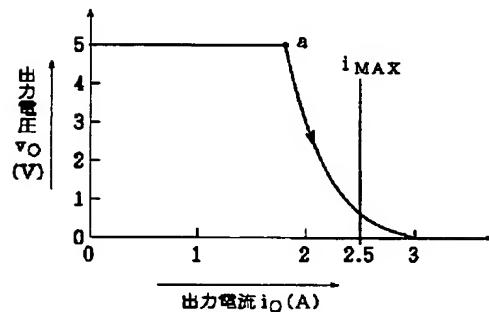
【図10】



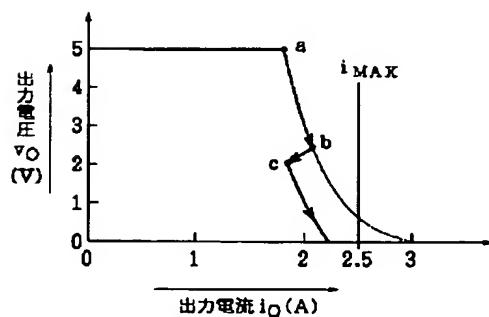
【図11】



【図12】



【図14】



【図13】

